

PAT-NO: JP408339326A
DOCUMENT-IDENTIFIER: JP 08339326 A
TITLE: MULTIPROCESSOR DEVICE
PUBN-DATE: December 24, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
KISE, MAKOTO	
NAKAYAMA, HIROYUKI	
YAMAKAWA, TAIJI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI CHUBU SOFTWARE LTD	N/A

APPL-NO: JP07143134
APPL-DATE: June 9, 1995

INT-CL (IPC): G06F012/02 , G06F015/163

ABSTRACT:

PURPOSE: To effectively use the memory area of a shared memory by dividing the address space of each of processors constructing a multiprocessor into plural memory areas, assigning an access mode to each of divided memory areas, and setting these memory areas so as to have accesses to the same memory space of the shared memory.

CONSTITUTION: A multiprocessor device consists of a memory/bus control means 101 which controls a shared memory 102 and also controls the bus of an arbiter, etc., of a common bus 103, the bus control means 104 which connects the processors 105 with the bus 103, the local memories 106 of the processors 105, and the interface signal lines 109 to 112 set between the processors 105 and the means 104. When the bus right grant is given from the means 101, a read access is applied to the memory 102, then, the output of data on the access address of the memory 102 is received, and the data are transferred to the processors 105 to complete the access.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-339326

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/02 15/163	5 7 0		G 0 6 F 12/02 15/16	5 7 0 K 3 2 0 M

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平7-143134

(22) 出願日 平成7年(1995)6月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233457

日立中部ソフトウェア株式会社

愛知県名古屋市中区栄3丁目10番22号

(72) 発明者 木瀬 誠

愛知県名古屋市中区栄三丁目10番22号 日

立中部ソフトウェア株式会社内

(72) 発明者 中山 裕之

愛知県名古屋市中区栄三丁目10番22号 日

立中部ソフトウェア株式会社内

(74) 代理人 弁理士 秋田 収喜

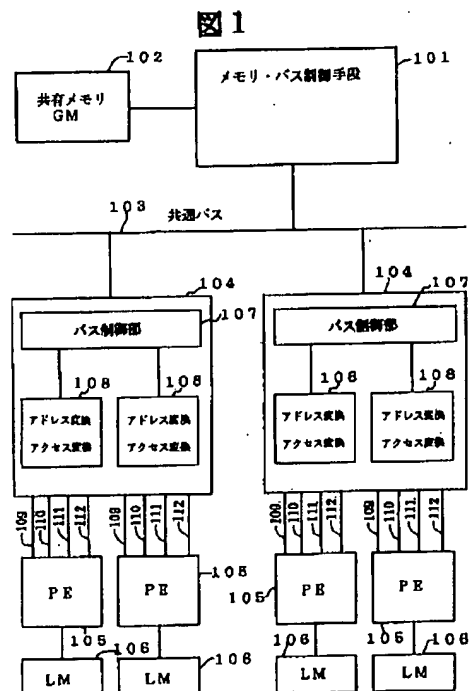
最終頁に続く

(54) 【発明の名称】 マルチプロセッサ装置

(57) 【要約】

【目的】 共有メモリへのアクセスにおいて、共有メモリのメモリ領域を効率良く使用することと、共有メモリのバスロックアクセス制御を行うこと。

【構成】 共通バスに接続された複数のプロセッサと、前記共通バスに接続された前記複数の全プロセッサからアクセス可能な共有メモリと、前記各プロセッサと前記共通バスとを接続するバス制御手段と、前記共通バスと共有メモリの制御を行うメモリ・バス制御手段とを備えたマルチプロセッサ装置であって、前記プロセッサのアドレス空間に、前記共有メモリにアクセスするためのメモリ領域をアクセス種別毎に複数個設け、前記バス制御手段は、前記プロセッサからのメモリ領域アクセス要求により、アクセスする種別を切り替えるアクセス種別切り替え手段と、前記複数のメモリ領域のそれぞれが前記共有メモリの同一空間をアクセスするようにアドレスを変換するアドレス変換手段を備える。



【特許請求の範囲】

【請求項1】 共通バスに接続された複数のプロセッサと、前記共通バスに接続された前記複数の全プロセッサからアクセス可能な共有メモリと、前記各プロセッサと前記共通バスとを接続するバス制御手段と、前記共通バスと共有メモリの制御を行うメモリ・バス制御手段とを備えたマルチプロセッサ装置であって、前記プロセッサのアドレス空間に、前記共有メモリにアクセスするためのメモリ領域をアクセス種別毎に複数個設け、

前記バス制御手段は、前記プロセッサからのメモリ領域アクセス要求により、アクセスする種別を切り替えるアクセス種別切り替え手段と、前記複数のメモリ領域のそれぞれが前記共有メモリの同一空間をアクセスするようにアドレスを変換するアドレス変換手段を備えたことを特徴とするマルチプロセッサ装置。

【請求項2】 前記請求項1に記載のマルチプロセッサ装置において、

前記プロセッサのアドレス空間に、通常アクセス、バーストアクセス、バスロックアクセスを前記共有メモリに対して行うメモリ領域をそれぞれ設け、

前記バス制御手段は、前記プロセッサからのバスロックのメモリ領域アクセス要求により、前記共通バスをロックするバスロック手段を備えたことを特徴とするマルチプロセッサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数台のプロセッサと、プロセッサ全てからアクセス可能な共有メモリを有するマルチプロセッサ装置に関し、特に、高速化が望まれるアクセラレータボードに適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、パーソナルコンピュータの分野でも、各処理の高速化が望まれてきており、それらニーズに対応するため、各種のアクセラレータボードが出てきている。

【0003】これらのアクセラレータボードでは、処理の高速化を図るため、複数のマイクロプロセッサと、最低1つの共有メモリを搭載したマルチプロセッサ構成として、高速化に対応しているものがある。

【0004】これらは、例えば、特開平6-208505号公報に開示された『アドレス領域によりメモリ・サブシステム動作を制御するための領域構成システム及び方法』のように、プロセッサのアドレス空間内に、複数のメモリ領域を設定し、各メモリ領域毎に専用のアクセス制御を行うことにより、メモリアクセスの最適化を図り、システムの高速化を図っているものがある。

【0005】

【発明が解決しようとする課題】本発明者は、上記従来

技術を検討した結果、以下の問題点を見いだした。

【0006】上記従来技術では、前記共有メモリのアクセスを行う場合、メモリアドレスの属性論理回路により、アクセスモードが決定される。

【0007】しかし、プロセッサのアドレス空間内におけるアクセスモードを変更するための複数のメモリ領域は、それぞれ共有メモリ内の別々のメモリ領域をアクセスするようにアドレス付けされているため、アクセスするためのメモリ領域が大きくなってしまい、共有メモリのような限られたメモリ領域を効率良く使用できないという問題点があった。

【0008】また、マルチプロセッサ構成の場合においては、共有メモリに対する排他制御のためのバスロックによる優先アクセス制御のモードがあるが、それらのモードには対応されていないという問題点があった。

【0009】本発明の目的は、共有メモリへのアクセスにおいて、共有メモリのメモリ領域を効率良く使用することが可能な技術を提供することにある。

【0010】本発明の他の目的は、共有メモリのバスロックアクセス制御を行うことが可能な技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】共通バスに接続された複数のプロセッサと、前記共通バスに接続された前記複数の全プロセッサからアクセス可能な共有メモリと、前記各プロセッサと前記共通バスとを接続するバス制御手段と、前記共通バスと共有メモリの制御を行うメモリ・バス制御手段とを備えたマルチプロセッサ装置であって、前記プロセッサのアドレス空間に、前記共有メモリにアクセスするためのメモリ領域をアクセス種別毎に複数個設け、前記バス制御手段は、前記プロセッサからのメモリ領域アクセス要求により、アクセスする種別を切り替えるアクセス種別切り替え手段と、前記複数のメモリ領域のそれぞれが前記共有メモリの同一空間をアクセスするようにアドレスを変換するアドレス変換手段を備える。

【0014】

【作用】上述した手段によれば、マルチプロセッサを構築する各プロセッサのアドレス空間を複数のメモリ領域に分割し、そのアドレス空間の分割された複数の各メモリ領域毎に各アクセスモードを割り当て、それら複数のメモリ領域を共有メモリの同じメモリ空間にアクセスするように設定することにより、従来のように、アクセス種別毎に共有メモリのメモリ領域を割り当てる必要がなくなり、ある1つのメモリ領域を複数種のアクセスで使

用することができるので、共有メモリのメモリ領域を効率良く使用できる。

【0015】また、アドレス空間の複数のメモリ領域の内の1つをバスロックアクセスに割り当て、共通バスのロックを行うバスロック手段を設けることにより、共有メモリのバスロックアクセス制御を行うことが可能となる。

【0016】以下、本発明について、実施例とともに説明する。

【0017】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0018】

【実施例】図1は、本発明の一実施例であるマルチプロセッサ装置の構成を説明するための図である。

【0019】図1に示すように、本実施例のマルチプロセッサ装置は、共有メモリ102の制御と、共通バス103のアービタ等のバス制御を行うメモリ・バス制御手段101と、プロセッサ105と共通バス103とを接続するためのバス制御手段104と、プロセッサ105のローカルメモリ106と、プロセッサ105と、バス制御手段104のインタフェース信号109～112とから構成される。

【0020】バス制御手段104は、共通バスの制御部107と、プロセッサ105からのアドレス変換及びアクセスモードの変換回路108とからなる。

【0021】図2～図4を用いて上述したバス制御手段104について説明する。

【0022】図2は、本実施例のバス制御手段104の構成について説明するための図である。

【0023】図2に示すように、プロセッサからのアドレスをラッチするレジスタ301と、共有メモリのアドレスに変換するための共有メモリのアドレスの上位アドレスを示すレジスタ302と、アドレス変換後のアドレスをラッチするレジスタ303と、プロセッサからのアクセスに対し、共通バスのアクセスを生成する回路であるアクセスモード切り替え回路304と、バスのロックのオンオフを行うバスロック回路305とからなる。

【0024】図3は、上述したバスロック回路305を説明するための図である。

【0025】図3に示すように、バスロック回路305は、LOCK信号を生成するフリップフロップ回路（以下、FF回路と記す）401と、LOCK信号のアクセス時間を監視するタイマ回路402と、LOCKを解除するUNLOCK回路403と、ORゲート404、405とからなる。

【0026】図4は、本実施例の各プロセッサ105がアクセスするメモリ領域について説明するための図である。

【0027】本実施例のマルチプロセッサを構成する各

プロセッサは、図4に示すように、例えば、アクセスできるメモリ領域201をCS0～CS3領域の4つの領域に分割し、各領域のアクセスのために、CS0～CS3の信号を出力することにより、上述した各領域を選択する。

【0028】例えば、図4に示したCS0、CS1、CS2の領域を共有メモリのアクセス先とし、かつ、CS0の領域に対するアクセスは通常アクセスとし、CS1の領域に対するアクセスはバーストアクセスとし、CS2の領域に対するアクセスをバスロックの通常アクセスをするようにする。本実施例では、以後、この分割例に基づき説明していく。

【0029】次に、上述したバス制御手段104の動作について具体的な例を挙げて説明する。

【0030】ここでは、共有メモリへのバスロックの通常アクセスを行う場合について取り挙げる。

【0031】まず、プロセッサから、CS2の空間へアクセスされると、アドレス変換及びアクセスモードの変換回路108において、アクセスアドレスは、アドレスラッチレジスタ301に格納され、共有メモリのアドレスを示すアドレス変換レジスタ302と、アドレスラッチレジスタ301から共有メモリのアクセスアドレスが生成され、共通バスに出力されるアドレス用ラッチ303にセットされ、それと共に、アクセスモード切り替え回路304から生成されたLOCK信号と、共有メモリリード・ライト信号がバス制御部107に渡される。

【0032】そして、バス制御部107は、LOCK信号と、メモリリード・ライト信号を基に、共通バスへ、アクセス信号を出力し、共有メモリへのアクセスを行う。

【0033】上述したLOCK信号の生成について、図3を用いて説明する。

【0034】プロセッサからCS2の空間をアクセスする場合、CS2信号がリード・ライト信号と共に図3に示すアクセスモード切り替え回路304に入力される。

【0035】このCS2へのリードはLOCKの対象なので、CS2信号とリード信号がともに‘H’のときFF回路401の入力に、‘H’が入力される。

【0036】そのFF回路が一度‘H’になると、LOCKタイマ402もしくは、UNLOCK回路403のいずれかが成立するまで、FF回路401は、‘H’を継続する。

【0037】上記各回路402、403のいずれかが成立すると、FF回路401は、‘L’になり、LOCKが解除される。

【0038】次に、本実施例のマルチプロセッサ装置における通常アクセス、バーストアクセス、LOCKアクセスの各アクセスモードのリードアクセスについて図5～図7のフローチャートを用いて説明する。

【0039】図5は、本実施例のマルチプロセッサ装置

の通常リードアクセスにおける処理の流れを示したフローチャートである。

【0040】図6は、本実施例のマルチプロセッサ装置のバーストリードアクセスにおける処理の流れを示したフローチャートである。

【0041】図7は、本実施例のマルチプロセッサ装置のLOCKリードアクセスにおける処理の流れを示したフローチャートである。

【0042】通常リードアクセス（メモリ領域CS0へのアクセス）の場合：図5に示すように、プロセッサPE105からCS0のアドレスが出力された場合（ステップ501）、アドレス変換及びアクセスモードの変換回路108で共有メモリのアドレスに変換し（ステップ502）、共通バス103にアクセス要求する（ステップ503）。

【0043】メモリバス制御部101からバス権許可を獲得したら（ステップ504）、共有メモリ102へリードアクセスを行い（ステップ505）、共有メモリ102のアクセスアドレスのデータの出力を受け（ステップ506）、プロセッサPE105にデータを転送し（ステップ507）、アクセスを終了する。

【0044】バーストリードアクセス（メモリ領域CS1へのアクセス）の場合：図6に示すように、プロセッサPE105からCS1のアドレスが出力された場合（ステップ601）、アドレス変換及びアクセスモードの変換回路108で共有メモリのアドレスに変換し（ステップ602）、共通バス103にアクセス要求する（ステップ603）。

【0045】メモリバス制御部101からバス権許可を獲得したら（ステップ604）、共有メモリ102へバーストリードアクセスを行い（ステップ605）、共有メモリ102の複数のアクセスアドレスのデータの出力を受け（ステップ606～ステップ608）、プロセッサPE105にそのデータ群を転送し（ステップ609）、アクセスを終了する。

【0046】LOCKアクセス（メモリ領域CS2へのアクセス）の場合：図7に示すように、プロセッサPE105からCS2のアドレスが出力された場合（ステップ701）、アドレス変換及びアクセスモードの変換回路108で共有メモリのアドレスに変換し（ステップ702）、共通バス103にアクセス要求する（ステップ703）。

【0047】メモリバス制御部101からバス権許可を獲得したら（ステップ704）、共通バス103をLOCKし（ステップ705）、共有メモリ102へ通常リードアクセスを行い（ステップ706）、共有メモリ102のアクセスアドレスのデータの出力を受け（ステップ707）、プロセッサPE105にそのデータを転送し（ステップ708）、共通バス103のLOCKを解除し（ステップ709）、アクセスを終了する。

【0048】次に、LOCKアクセスにおける共通バスのアクセスとLOCK信号のタイミングについて説明する。

【0049】図8は、LOCKアクセスにおける共通バスのアクセスとLOCK信号のタイミングを示したタイミング図である。

【0050】ここでは、図8に示したように、三つのプロセッサPE105（以下、PE1、PE2、PE3と記す）が共有メモリにアクセスを開始した場合を例に取り挙げる。ここでのプロセッサPE1及びプロセッサPE2のアクセスは、メモリ領域CS2を使ったLOCKアクセスである。

【0051】まず、図8に示すように、プロセッサPE1のLOCKアクセスのリードが実行される。

【0052】ここでPE2、PE3も共通バスにバスリクエストを出力しているが、PE1のアクセスが、LOCKアクセスのため、リクエストを受け付けられず、次のPE1からのアクセスを待ち続ける。

【0053】そして、PE1のライトアクセス終了後に共通バス103のLOCKが切られ、PE2のアクセスが受け付けられる。

【0054】ここで、PE2もLOCKアクセスであるため、PE3のアクセスは、PE2のLOCKが切れるまで待ち続ける。

【0055】PE2が続きのアクセスを、一定時間以内に実行しないとき、LOCKタイマがタイムオーバーとなり、LOCK信号は、強制的に切断される。

【0056】その後、PE3の通常アクセスが実行される。

【0057】したがって、上述したようにマルチプロセッサを構築する各プロセッサのアドレス空間を複数のメモリ領域に分割し、そのアドレス空間の分割された複数の各メモリ領域毎に各アクセスモードを割り当て、それら複数のメモリ領域を共有メモリの同じメモリ空間にアクセスするように設定することにより、従来のように、アクセス種別毎に共有メモリのメモリ領域を割り当てる必要がなくなり、ある1つのメモリ領域を複数種のアクセスで使用することができるので、共有メモリのメモリ領域を効率良く使用できる。

【0058】また、アドレス空間の複数のメモリ領域の内の1つをバスロックアクセスに割り当て、共通バスのロックを行うバスロック手段を設けることにより、共有メモリのバスロックアクセス制御を行うことが可能となる。

【0059】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0060】

7

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0061】1. 共有メモリのメモリ領域を効率良く使用できる。

【0062】2. 共有メモリのバスロックアクセス制御を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例であるマルチプロセッサ装置の構成を説明するための図である。

【図2】本実施例のバス制御部104の構成について説明するための図である。

【図3】本実施例のバスロック回路305を説明するための図である。

【図4】本実施例の各プロセッサ105がアクセスできる領域について説明するための図である。

【図5】本実施例のマルチプロセッサ装置の通常リード

8

アクセスにおける処理の流れを示したフローチャートである。

【図6】本実施例のマルチプロセッサ装置のバーストリードアクセスにおける処理の流れを示したフローチャートである。

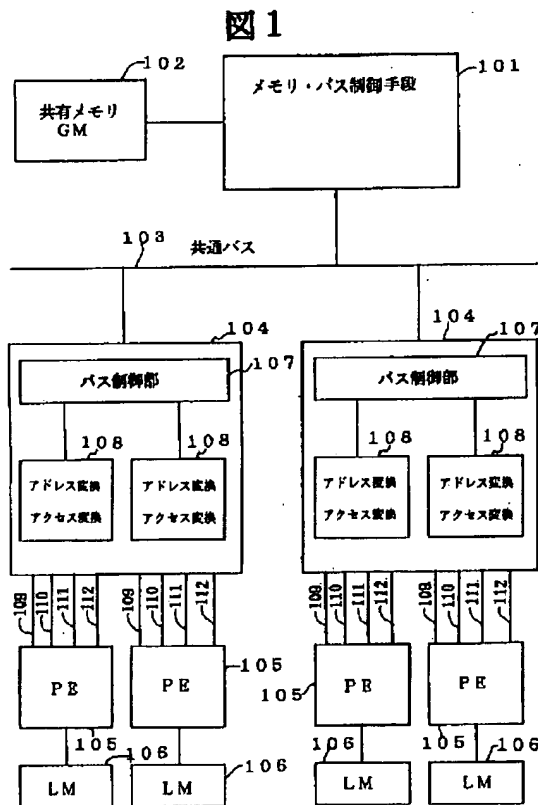
【図7】本実施例のマルチプロセッサ装置のLOCKリードアクセスにおける処理の流れを示したフローチャートである。

【図8】本実施例のLOCKアクセスにおける共通バスのアクセスとLOCK信号のタイミングを示したタイミング図である。

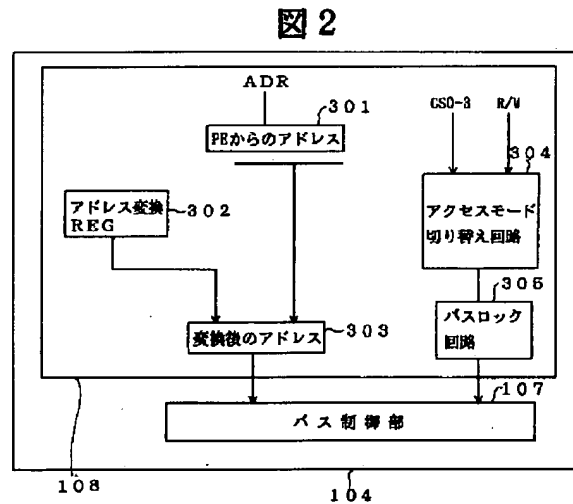
【符号の説明】

101…メモリ・バス制御手段、102…共有メモリ、103…共通バス、104…バス制御手段、105…プロセッサ、106…ローカルメモリ、107…バス制御部、108…アドレス変換及びアクセス変換回路、109～112…インタフェース信号。

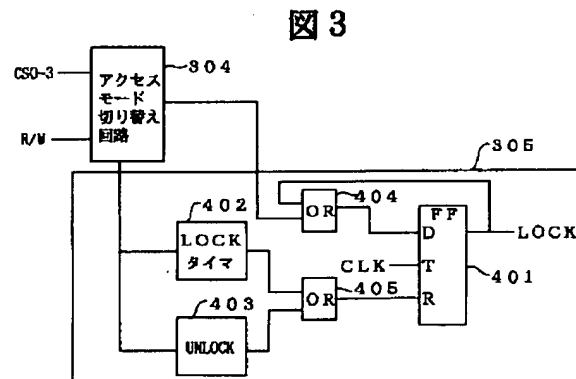
【図1】



【図2】

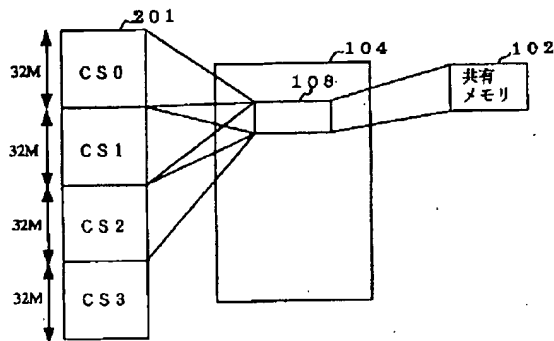


【図3】



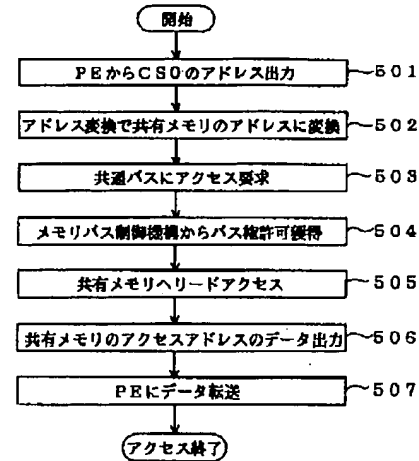
【図4】

図4



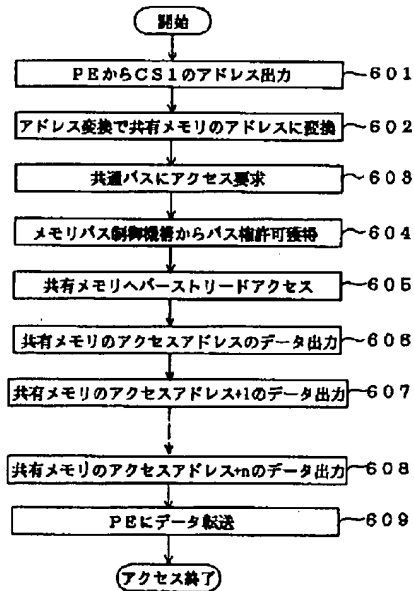
【図5】

図5



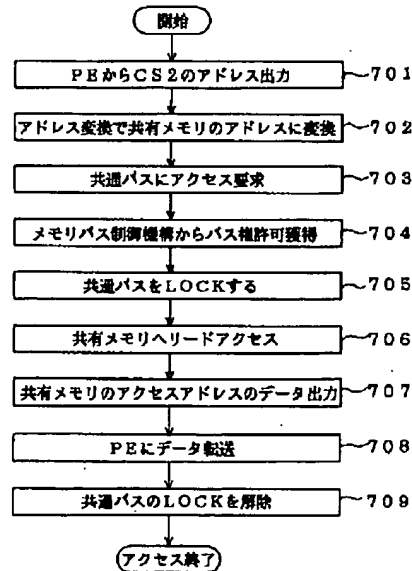
【図6】

図6



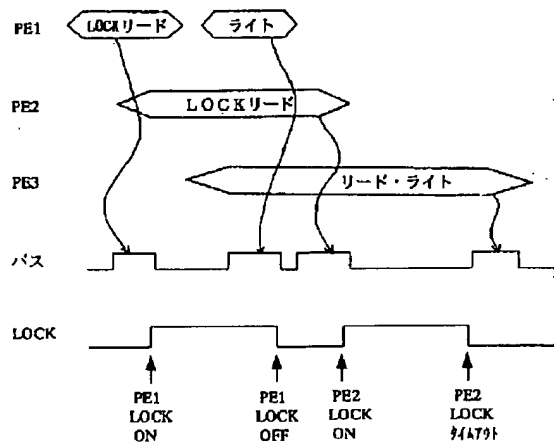
【図7】

図7



【図8】

図 8



フロントページの続き

(72)発明者 山川 泰司

愛知県尾張旭市晴丘町池上1番地 株式会
社日立製作所オフィスシステム事業部内